

(a)

# SEMICONDUCTOR DEVICE, AND TEST METHOD FOR SEMICONDUCTOR DEVICE

Patent Number: JP2002298598

Publication  
date:

2002-10-11

Inventor(s):

OKUMURA ATSUSHI; HASEGAWA MASATOSHI; KOBAYASHI TORU; NAKAYAMA MICHIAKI; SAKAKIBARA HIDEKI; KITAMURA NOBUAKI; YOKOYAMA YUJI; MIYAOKA SHUICHI; SAWAMOTO HIDEO; NISHIYAMA TAKASHI; KUME SHOJI

Applicant(s):

HITACHI LTD;; HITACHI ULSI SYSTEMS CO LTD

Requested  
Patent:

☐ JP2002298598

Application

Number:

JP20010099323 20010330

Priority Number  
(s):

IPC

Classification: G11C29/00; G01R31/28; G01R31/3183

EC

Classification:

Equivalents:

---

## Abstract

---

**PROBLEM TO BE SOLVED:** To provide test technology of a semiconductor device which can output redundancy relieving information to a high speed SRAM in the outside of a LSI at high speed, and can read out redundancy relieving information stored in the SRAM at low speed with a low speed tester after finish of the test.

**SOLUTION:** A test device of a semiconductor device is constituted of a LSI 1 including a BIST circuit and a circuit to be tested, a tester for testing a circuit to be tested of the LSI 1, a SRAM 3 for holding a test result of the circuit to be tested of the LSI 1, or the like. The device is provided with a pass/fail discrimination signal holding circuit 108 holding a pass/fail discrimination signal inside the BIST circuit 10, and a fail bit map data generating circuit 109 outputting fail bit map information at high speed. The device outputs fail bit map information of a DRAM 204 at high speed to the high speed SRAM 3 of the outside of the LSI 1, and reads out fail bit map information of this SRAM 3 with a low speed tester after finish of a test.

---

Data supplied from the esp@cenet database - I2

[SCOPE OF CLAIM]

[Claim 1]

A semiconductor device comprising:

- a memory circuit; and
- a circuit for outputting pass/fail discrimination information and fail address information which are a result of a test on said memory circuit.

[Claim 2]

A semiconductor device according to claim 1 further comprising:

- a register for setting a timing of a test control signal for testing said memory circuit.

[Claim 3]

A semiconductor device comprising:

- a memory circuit;
- a BIST circuit for testing said memory circuit;

- said BIST circuit comprising:

- a first register for storing a test program for said memory circuit;

- a second register for setting a timing of a test control signal for said memory circuit; and

- a circuit for testing said memory circuit under a test program stored in said first register and at the timing of said test control signal stored in said second register, and outputting

pass/fail discrimination information and fail address information.

[Claim 4]

A semiconductor device comprising:

    a memory circuit;

    a logical circuit connected to an input/out of said memory circuit;

    a BIST circuit for testing said memory circuit and said logical circuit;

    said BIST circuit comprising:

        a first register for storing a test program for said memory circuit and said logical circuit;

        a second register for setting a timing of a test control signal for said memory circuit and said logical circuit;

        a control circuit for performing a control operation on the basis of an output of said first register; and

        a circuit for testing a normal operation condition in which said logical circuit and said memory circuit are connected to each other under the test program stored in said first register and at the timing of the test control signal stored in said second register when said control circuit causes said logical circuit to be in an active state, directly testing only said memory circuit under the test

program stored in said first register and at the timing of said test control signal stored in said second register when said control circuit causes said logical circuit to be in an inactive state, and outputting pass/fail discrimination information and fail address information.

[Claim 5]

A method for testing a semiconductor device comprising the steps of:

- providing a semiconductor device including a memory circuit and a circuit for outputting fail address information on said memory circuit;

- providing a memory device connected to the outside of said semiconductor device to hold said fail address information on said memory circuit outputted from said circuit for outputting said fail address information;

- providing a tester for obtaining said fail address information on said memory circuit held in said memory device;

- outputting, to said memory device, said fail address information on said memory circuit from said circuit for outputting said fail address information:

- writing said fail address information on said memory circuit into said memory device;

- reading out, to said tester, said fail address information on said memory circuit written in

said memory device; and

obtaining said fail address information on said memory circuit by said tester.

[Claim 6]

A method for testing a semiconductor device comprising the steps of:

providing a semiconductor device including a memory circuit and a circuit for outputting fail address information on said memory circuit;

providing a plurality of memory devices connected to the outside of said semiconductor device to hold said fail address information on said memory circuit outputting from said circuit for outputting said fail address information;

providing a tester for obtaining said fail address information on said memory circuit held in said plural memory devices;

outputting, to said plural memory devices, said fail address information that is a result of a test on said memory circuit from said circuit for outputting said fail address information;

writing said fail address information on said memory circuit into said plural memory devices;

reading out said fail address information on said memory circuit written in said plural memory devices by said tester; and

obtaining said fail address information on

said memory circuit by said tester.

[Claim 7]

A method for testing a semiconductor device according to claim 6, wherein a clock is supplied from said semiconductor device to each of said memory devices when said fail address information on said memory circuit is written into said memory devices.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2002-298598  
(P2002-298598A)

(43) 公開日 平成14年10月11日 (2002. 10. 11)

(51) IntCl.	識別記号	F I	テ-マコト (参考)
G 1 1 C 29/00	6 7 1 6 5 1 6 7 5	G 1 1 C 29/00	6 7 1 B 2 G 1 3 2 6 5 1 Z 5 L 1 0 6 6 7 5 L
G 0 1 R 31/28 31/3183		G 0 1 R 31/28	B V

審査請求 未請求 請求項の数 7 O L (全 19 頁) 最終頁に続く

(21) 出願番号 特願2001-99323(P2001-99323)

(22) 出願日 平成13年3月30日 (2001. 3. 30)

(71) 出願人 000005108

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71) 出願人 000233169

株式会社日立超エル・エス・アイ・システムズ  
東京都小平市上水本町5丁目22番1号

(72) 発明者 奥村 敦

東京都青梅市新町六丁目16番地の3 株式  
会社日立製作所デバイス開発センタ内

(74) 代理人 100080001

弁理士 筒井 大和

最終頁に続く

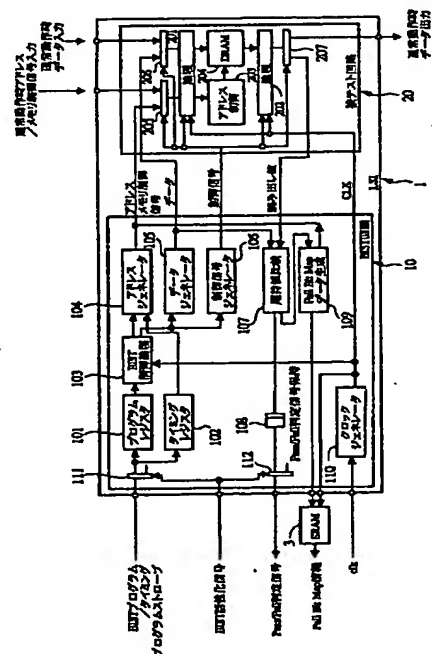
(54) 【発明の名称】 半導体装置、および半導体装置のテスト方法

(57) 【要約】

【課題】 L S I の外部の高速な S R A M に高速で冗長  
救済情報を出し、テスト終了後に低速なテストで S R  
A M に蓄えておいた冗長救済情報を低速で読み出すこと  
ができる半導体装置のテスト技術を提供する。

【解決手段】 B I S T 回路と被テスト回路を含む L S  
I 1 と、L S I 1 の被テスト回路をテストするためのテ  
スタと、L S I 1 の被テスト回路のテスト結果を保持す  
るための S R A M 3 などから構成される半導体装置のテ  
スト装置であって、B I S T 回路 1 0 の内部にバス／フ  
ェイル判定信号を保持するバス／フェイル判定信号保持  
回路 1 0 8、フェイルビットマップ情報を高速で出力す  
るフェイルビットマップデータ生成回路 1 0 9 を設け、  
L S I 1 の外部の高速な S R A M 3 に、高速で D R A M  
2 0 4 のフェイルビットマップ情報を出力し、この S R  
A M 3 のフェイルビットマップ情報をテスト終了後に低  
速なテストで読み出す。

図 2



1

【特許請求の範囲】

【請求項1】 メモリ回路と、  
前記メモリ回路のテスト結果であるバス／フェイル判定  
の情報と、フェイルアドレス情報とを出力するための回  
路とを有することを特徴とする半導体装置。

【請求項2】 請求項1記載の半導体装置において、  
前記メモリ回路をテストするテスト制御信号のタイミ  
ングを設定するためのレジスタをさらに有することを特徴  
とする半導体装置。

【請求項3】 メモリ回路と、このメモリ回路をテスト 10  
するためのBIST回路とを含み、このBIST回路  
は、  
前記メモリ回路のテストプログラムを記憶するための第  
1レジスタと、  
前記メモリ回路のテスト制御信号のタイミングを設定す  
るための第2レジスタと、  
前記第1レジスタに記憶されたテストプログラムおよび  
前記第2レジスタに記憶されたテスト制御信号のタイミ  
ングで前記メモリ回路をテストし、バス／フェイル判定  
情報とフェイルアドレス情報とを出力するための回路と 20  
を有することを特徴とする半導体装置。

【請求項4】 メモリ回路と、このメモリ回路の入力／  
出力に接続された論理回路と、前記メモリ回路および前  
記論理回路をテストするためのBIST回路とを含み、  
このBIST回路は、  
前記メモリ回路および前記論理回路のテストプログラム  
を記憶するための第1レジスタと、  
前記メモリ回路および前記論理回路のテスト制御信号の  
タイミングを設定するための第2レジスタと、  
前記第1レジスタの出力に基づいて制御動作を行う制御 30  
回路と、  
前記制御回路により前記論理回路を活性状態にしたとき  
は前記第1レジスタに記憶されたテストプログラムおよ  
び前記第2レジスタに記憶されたテスト制御信号のタイ  
ミングで前記論理回路と前記メモリ回路が接続された通  
常動作状態をテストし、前記論理回路を非活性状態にし  
たときは前記第1レジスタに記憶されたテストプログラ  
ムおよび前記第2レジスタに記憶されたテスト制御信号  
のタイミングで前記メモリ回路のみを直接テストし、バ  
ス／フェイル判定情報およびフェイルアドレス情報を出力 40  
するための回路とを有することを特徴とする半導体装  
置。

【請求項5】 メモリ回路、およびこのメモリ回路のフ  
ェイルアドレス情報を出力するための回路を含む半導体  
装置と、  
前記半導体装置の外部に接続され、前記フェイルアドレ  
ス情報を出力するための回路から出力された前記メモリ  
回路のフェイルアドレス情報を保持するためのメモリ装  
置と、  
前記メモリ装置に保持された前記メモリ回路のフェイル 50

2

アドレス情報を取得するためのテストとを有し、  
前記メモリ回路のフェイルアドレス情報を出力するため  
の回路から前記メモリ装置に出力して、前記メモリ装置  
に前記メモリ回路のフェイルアドレス情報を書き込み、  
前記メモリ装置に書き込まれた前記メモリ回路のフェイ  
ルアドレス情報を前記テストに読み出し、前記テストに  
て前記メモリ回路のフェイルアドレス情報を取得するこ  
とを特徴とする半導体装置のテスト方法。

【請求項6】 メモリ回路、およびこのメモリ回路のフ  
ェイルアドレス情報を出力するための回路を含む半導体  
装置と、  
前記半導体装置の外部に接続され、前記フェイルアドレ  
ス情報を出力するための回路から出力された前記メモリ  
回路のフェイルアドレス情報を保持するための複数のメモ  
リ装置と、  
前記複数のメモリ装置に保持された前記メモリ回路のフ  
ェイルアドレス情報を取得するためのテストとを有し、  
前記メモリ回路をテストした結果であるフェイルアドレ  
ス情報を出力するための回路から前記複数のメモリ装置  
に出力して、前記メモリ装置のそれぞれに前記メモリ回  
路のフェイルアドレス情報を書き込み、  
前記メモリ装置のそれぞれに書き込まれた前記メモリ回  
路のフェイルアドレス情報を前記テストにより読み出  
し、前記テストにて前記メモリ回路のフェイルアドレス  
情報を取得することを特徴とする半導体装置のテスト方  
法。

【請求項7】 請求項6記載の半導体装置のテスト方法  
において、  
前記メモリ装置のそれぞれに前記メモリ回路のフェイ  
ルアドレス情報の書き込みを行う際に、前記半導体装置か  
らクロックを前記メモリ装置のそれぞれに供給すること  
を特徴とする半導体装置のテスト方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置のテス  
ト技術に関し、特に内部にメモリ回路とBIST（Bu  
ilt In Self Test）回路を有し、この  
BIST回路を用いて高速化が進むメモリ回路のテスト  
を行う場合に好適な半導体装置、および半導体装置のテ  
スト方法に適用して有効な技術に関する。

【0002】

【従来の技術】本発明者が検討したところによれば、半  
導体装置のテスト技術については、たとえば特開平11  
-213700号公報、特開平10-241399号公  
報に記載される技術などが挙げられる。これら公報に記  
載の技術はいずれも、DRAMのテストを行うためのB  
IST回路を有している。これらのBIST回路は、テ  
スト命令を読み取り、このテスト命令からテストパター  
ンを生成し、テスト命令の順序付けを行うためのプロセ  
ッサを備えている。



【0003】

【発明が解決しようとする課題】本発明者は、半導体装置のテスト技術について検討した結果、以下のようなことを明らかにした。たとえば、前記両公報の技術はいずれも、テストパターンの生成、テスト命令の順序付けは可能となるものの、高速化が進むDRAMのテストを行おうとする場合に生ずる課題、すなわち高速化対応の外部テストを必要とする課題や、高速なテスト結果の出力の処理の課題などに応えることが難しいものとなっている。これらの課題に対する対策がDRAMの高速化が進むにつれて求められている。

【0004】すなわち、近年のように、DRAMの高速化が進んでくると、それに応じて高速テストが必要となってくる。しかしながら、DRAMの設計、製造の早さとの関係から望むべき高速テストが得られない可能性も生ずる。望むべき高速テストを得ることが可能であったとしても、高速テストは、中速テストのような通常のテストに比べ、たとえば数十倍もの高価格となってしまう可能性を持つ。その結果、望むべきテストができなかったり、DRAMのテストコストが非常に大きなものとなってしまう可能性が生ずる。このような背景から、DRAMにおいても、テストコスト削減のため、安価な低速テストで高速テストを可能とするLSI内蔵のBIST回路でテストを行う必要が生じている。

【0005】そこで、たとえば、外部クロックを内部で通倍することによって、テストの限界周波数以上の周波数でテスト動作するようなBIST回路技術が考慮される。この技術によれば、LSIにおけるメモリ回路を高速にテストすることができる。しかし、この場合には、LSIの動作周波数の方が外部テストの周波数よりも高いため、テスト結果をLSIから直接読み出すことができない。そこでさらに、テストのバス/フェイルの情報などはLSI内の保持回路やメモリ回路に一時記憶させ、テスト終了後に低速のテストで読み出す方式が考慮される。LSIが冗長救済回路を持つ場合、それに応じて冗長救済情報を取得する必要がある。しかし、冗長救済情報はバス/フェイル情報とは異なり、データ量が著しく大きい。そのため、冗長救済情報をLSI内に記憶させることは適当でない。

【0006】そこで、本発明の1つの目的は、冗長救済回路を持ち、かつ比較的高速動作のメモリ回路を持つ半導体装置に好適なテスト技術を提供することにある。

【0007】本発明の他の目的は、比較的高速に形成される冗長救済情報に充分に対応可能な半導体装置のテスト技術を提供することにある。

【0008】本発明のさらに他の目的は、メモリテストタイミングを適切に設定することができる半導体装置の新規なテスト技術を提供することにある。

【0009】本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかに

なるであろう。

【0010】

【課題を解決するための手段】本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、次のとおりである。

【0011】本発明は、前記目的を達成するために、①バス/フェイルの情報を低速で出力するための回路の他に、フェイルアドレスの冗長救済情報を高速で出力するための回路を設ける、②LSIとテストの間に高速なSRAMを設ける、③BIST回路内にメモリ制御信号のタイミングを設定するレジスタを設ける、④BIST回路内に論理回路の活性/非活性を制御する回路を設けるようにしたものである。

【0012】すなわち、本発明による半導体装置は、メモリ回路と、このメモリ回路をテストしたテスト結果および選別テスト結果を出力するための回路とを有することを特徴とするものである。特に、テスト結果は比較的に高速で出力されるフェイルアドレスの情報、選別テスト結果は比較的に低速で出力されるバス/フェイル判定の情報とし、さらにメモリ回路をテストするテスト制御信号のタイミングを設定するための回路を有するようにしたものである。

【0013】また、本発明による他の半導体装置は、メモリ回路と、このメモリ回路をテストするためのBIST回路とを含み、このBIST回路が、メモリ回路のテストプログラムを記憶するための第1レジスタと、テスト制御信号のタイミングを設定するための第2レジスタと、各レジスタに記憶されたテストプログラムおよびテスト制御信号のタイミングでメモリ回路をテストし、このテスト結果および選別テスト結果を出力するための回路とを有することを特徴とするものである。

【0014】また、本発明によるさらに他の半導体装置は、メモリ回路と、このメモリ回路の入力/出力に接続された論理回路と、メモリ回路および論理回路をテストするためのBIST回路とを含み、このBIST回路が、メモリ回路および論理回路のテストプログラムを記憶するための第1レジスタと、テスト制御信号のタイミングを設定するための第2レジスタと、論理回路の活性/非活性を制御するための制御回路と、この制御回路により論理回路を活性状態にしたときは各レジスタに記憶されたテストプログラムおよびテスト制御信号のタイミングで論理回路とメモリ回路が接続された通常動作状態をテストし、論理回路を非活性状態にしたときは各レジスタに記憶されたテストプログラムおよびテスト制御信号のタイミングでメモリ回路のみを直接テストし、このテスト結果および選別テスト結果を出力するための回路とを有することを特徴とするものである。

【0015】また、本発明による半導体装置のテスト方法は、メモリ回路およびこのテスト結果を出力するための回路を含む半導体装置と、この半導体装置の外部に接

続され、出力されたメモリ回路のテスト結果を保持するためのメモリ装置と、このメモリ装置に保持されたテスト結果を判定するためのテストとを有する構成において、メモリ回路をテストしたテスト結果をテスト結果を出力するための回路からメモリ装置に出力して、メモリ装置にメモリ回路のテスト結果を比較的に高速で書き込み、このメモリ装置に書き込まれたメモリ回路のテスト結果をテストにより比較的に低速で読み出し、このテストにてメモリ回路のテスト結果を判定することを特徴とするものである。特に、テスト結果は比較的に高速で出力されるフェイルアドレスの情報とするものである。

【0016】また、本発明による他の半導体装置のテスト方法は、メモリ回路およびこのテスト結果を出力するための回路を含む半導体装置と、この半導体装置の外部に接続され、出力されたメモリ回路のテスト結果を保持するための複数のメモリ装置と、この複数のメモリ装置に保持されたテスト結果を判定するためのテストとを有する構成において、メモリ回路をテストしたテスト結果をテスト結果を出力するための回路から複数のメモリ装置に出力して、メモリ装置のそれぞれにメモリ回路のテスト結果を比較的に高速でインターリーブ方式により書き込み、このメモリ装置のそれぞれに書き込まれたメモリ回路のテスト結果をテストにより比較的に低速でインターリーブ方式により読み出し、このテストにてメモリ回路のテスト結果を判定することを特徴とするものである。特に、メモリ回路のテスト結果をインターリーブ方式により書き込みを行う際に、半導体装置から比較的に高速なインターリーブ用のクロックをメモリ装置のそれぞれに供給するものである。

【0017】

【発明の実施の形態】以下、本発明の実施の形態を図面に基いて詳細に説明する。なお、実施の形態を説明するための全図において、同一部材には同一の符号を付し、その繰り返しの説明は省略する。

【0018】まず、図1により、本実施の形態の半導体装置のテスト装置の概略構成の一例を説明する。図1は本実施の形態の半導体装置のテスト装置を示す概略構成図である。

【0019】本実施の形態の半導体装置のテスト装置は、たとえば内部にメモリ回路とBIST回路を有する半導体装置のテスト装置とされ、BIST回路と被テスト回路を含むLSIと、このLSIの被テスト回路をテストするためのテスト2と、LSIの被テスト回路のテスト結果を保持するためのSRAM3などから構成され、それぞれ以下のような機能を有する。

【0020】LSIは、たとえばBIST回路10、被テスト回路20などから構成される半導体装置であり、外部からのアクセスによる通常動作と、内部のBIST回路10を使用したテストが可能となっている。このLSIには、通常動作時に、たとえば外部のプロセ

ッサ（図示せず）などからアドレス／メモリ制御信号やデータが入力され、またデータが出力可能となっている。また、LSIには、BIST回路10を使用したテスト時に、外部のテスト2から外部クロックclk、BISTプログラム／タイミング、プログラムストロブ、BIST活性化信号が入力され、テスト2に対してパス（Pass）／フェイル（Fail）判定信号が出力され、またSRAM3に対してシステムクロックCLK、フェイルビットマップ（Fail Bit Map）情報が出力可能となっている。テスト2から入力された、比較的に低い周波数による外部クロックclk、BISTプログラム／タイミング、プログラムストロブ、BIST活性化信号はBIST回路10に供給され、このBIST回路10において、比較的に高い周波数によるシステムクロックCLK、アドレス／メモリ制御信号、データ、制御信号が生成されて被テスト回路20に印加される。また、被テスト回路20からは読み出し値が出力され、BIST回路10に入力される。このBIST回路10、被テスト回路20についての詳細は図2において後述する。

【0021】テスト2は、LSIの被テスト回路20をテストするための外部クロックclk、BISTプログラム／タイミング、プログラムストロブ、BIST活性化信号を供給するとともに、選別テスト結果のパス／フェイル判定信号を直接取得し、またSRAM3を介してテスト結果のフェイルビットマップ情報を取得するためのテスト装置である。たとえば、限界周波数が比較的に低い動作周波数による低速テストが使用される。このテスト2から与える低い動作周波数の外部クロックclkが、LSIの内部のクロックジェネレータで通信され、これが比較的に高い周波数で動作するLSIのシステムクロックCLKとして使用される。また、テスト結果について、選別テスト結果のパス／フェイル判定信号はBIST回路10の内部に保持されて低速で読み出され、SRAM3に保持されたフェイルビットマップ情報はテスト終了後に低速で読み出される。

【0022】SRAM3は、LSIに外付けでLSI1とテスト2の間に設けられ、LSIのBIST回路10から出力されるシステムクロックCLKに基づき、比較的に高速で出力されるテスト結果のフェイルビット情報をインターリーブ方式で書き込むためのメモリ装置である。このSRAM3に書き込まれたテスト結果は、テスト終了後にテスト2で低速で読み出されるようになっている。すなわち、低速なテスト2を使用してLSI1の高速テストを実施するため、LSI1から高速で出力されるテスト結果をテスト2で直接受け取ることができない。そのため、高速で出力されるテスト結果を外付けのSRAM3に書き込み、テスト終了後に低速のテスト2でSRAM3に書き込まれたテスト結果を読み出す方法が採用されている。

【0023】次に、図2により、LSIを構成するBIST回路、被テスト回路の構成の一例を説明する。図2はBIST回路、被テスト回路を詳細に示す構成図である。

【0024】BIST回路10は、たとえばプログラムレジスタ101、タイミングレジスタ102、BIST制御論理回路103、アドレスジェネレータ104、データジェネレータ105、制御信号ジェネレータ106、期待値比較回路107、パス/フェイル判定信号保持回路108、フェイルビットマップデータ生成回路109、クロックジェネレータ110や、複数のセクタ111、112などからなり、それぞれ以下のような機能を有する。なお、セクタ111、112は、外部から入力されるBIST活性化信号により制御される。

【0025】プログラムレジスタ101は、テスト2からセクタ111を介して入力されるBISTプログラムを記憶するための回路である。このプログラムレジスタ111のBISTプログラムに従って、LSI1の被テスト回路20のテストが行われる。また、このBISTプログラムは、プログラムストローブにより入力が許可される。

【0026】タイミングレジスタ102は、テスト2からセクタ111を介して入力されるBISTタイミングを記憶するための回路である。このタイミングレジスタ112のBISTタイミングで、LSI1の被テスト回路20にテスト制御信号が入力される。

【0027】BIST制御論理回路103は、プログラムレジスタ101からのBISTプログラムに基づいて、アドレス/メモリ制御信号、データ、制御信号などを発生させるためのBIST動作を制御するための論理回路である。

【0028】アドレスジェネレータ104は、BIST制御論理回路103のBIST動作による情報、タイミングレジスタ102からの情報に基づいて、アドレス/メモリ制御信号を発生するための回路である。このアドレスにはロウアドレス、カラムアドレスが含まれ、またメモリ制御信号には、ロウアドレスストローブ、カラムアドレスストローブ、ライトイネーブルなどの制御信号が含まれる。

【0029】データジェネレータ105は、BIST制御論理回路103のBIST動作による情報に基づいて、テストパターンのデータを発生するための回路である。

【0030】制御信号ジェネレータ106は、BIST制御論理回路103のBIST動作による情報に基づいて、制御信号を発生するための回路である。この制御信号には、たとえば通常動作とBIST回路10を使用したテストとの切り替え信号や、テスト時に被テスト回路20の論理回路を活性/被活性状態に制御するための制御信号などが含まれる。

【0031】期待値比較回路107は、被テスト回路20から出力されるテスト結果の読み出し値と、データジェネレータ105から発生されたテストパターンによるデータの期待値とを比較するための回路である。この期待値比較回路107による比較結果は、パス/フェイル判定信号保持回路108に出力されるとともに、フェイルビットマップデータ生成回路109にも出力される。

【0032】パス/フェイル判定信号保持回路108は、期待値比較回路107からの比較結果に基づいて、パス(Pass)/フェイル(Fail)の選別テスト結果を保持するための回路である。この選別テスト結果は、セクタ112を介してテスト2に出力され、テストのパス/フェイル判定信号として使用される。このパス/フェイル判定信号保持回路108には、テスト中に一度でもフェイルすると、このフェイル値が保持される。

【0033】フェイルビットマップ(Fail Bit Map)データ生成回路109は、期待値比較回路107からの比較結果と、アドレスジェネレータ104から発生されたアドレスに基づいて、フェイルビットマップデータを生成し、このフェイルビットマップデータをLSI1の外部のSRAM3に出力するための回路である。このSRAM3に出力されたフェイルビットマップデータは、パス/フェイルの判定値、フェイルアドレスを含む冗長救済情報となる。

【0034】クロックジェネレータ110は、外部クロックclkを入力とし、この外部クロックclkを所定の倍率に通信し、LSI1の各内部回路を動作させるシステムクロックCLKを発生するための回路である。このクロックジェネレータ110で発生したシステムクロックCLKを使用することにより、テスト2の周波数以上の高速テストが可能となる。たとえば一例として、40MHz程度の外部クロックclkを16通信して640MHz程度のシステムクロックCLKを発生することで、限界周波数が40MHz程度の比較的低い周波数で動作するテスト2でも、640MHz程度の比較的高い周波数で動作するLSI1の高速テストを行うことが可能となっている。

【0035】被テスト回路20は、たとえば論理回路201、202、アドレス制御回路203、DRAM204や、複数のセクタ205～207などからなり、それぞれ以下のような機能を有する。

【0036】論理回路201、202は、通常動作時に使用する一般の論理回路であり、論理回路201が入力側、論理回路202が出力側にそれぞれ接続されている。論理回路201は、外部からセクタ205を介して入力されるアドレス/メモリ制御信号に基づいて、セクタ206を介して入力されるデータをDRAM204に書き込む。さらに、DRAM204から読み出されたデータは論理回路202、セクタ207を介して外

部に出力されて、DRAM134に対するデータの書き込み／読み出しが行われる。また、この論理回路201、202は、BIST回路10のクロックジェネレータ110から発生されるシステムクロックCLKに同期して動作し、制御信号により制御される。特に、テスト時には、制御信号により論理回路201、202の活性／非活性が切り替えられ、論理回路201、202とDRAM204、またはDRAM204のみのテストが行われる。これについての詳細は図6において後述する。

【0037】アドレス制御回路203は、入力側の論理回路201からの情報に基づいて、DRAM204に対するデータの書き込み／読み出しを行う際のアドレス／メモリ制御信号を発生するための回路である。このアドレス制御回路203からのアドレス／メモリ制御信号により、DRAM204に対するアクセスが制御される。

【0038】DRAM124は、通常動作時にデータの書き込み／読み出しが行われるとともに、BIST回路12を使用したテスト時にテストの対象となるメモリ回路である。このDRAM124の構成については図3において後述する。

【0039】セクタ205～207は、BIST回路10の制御信号ジェネレータ106から発生される制御信号により制御され、論理回路201、202による通常動作、またはLSI1の内部のBIST回路10を使用したテストの入力／出力を切り替えるための回路である。通常動作時とテスト時に、セクタ205によりアドレス／メモリ制御信号入力切り替えられ、セクタ206によりデータ入力切り替えられてデータが印加され、またセクタ207によりデータ出力切り替えられてデータが出力される。

【0040】次に、図3より、被テスト回路を構成するDRAMの構成の一例を説明する。図3はDRAMを詳細に示す構成図である。

【0041】DRAM204は、複数のメモリセルからなるメモリマット2041と、このメモリマット2041の行方向のアドレスを指定するためのロウデコーダ2042と、列方向のアドレスを指定するためのカラムデコーダ2043と、書き込み値の入力／読み出し値の出力を行うためのメインアンプ2044などから構成されている。ロウデコーダ2042には、ロウアドレスRow AddressとロウアドレスストロブRASの制御信号が供給される。カラムデコーダ2043には、カラムアドレスColumn AddressとカラムアドレスストロブCASの制御信号が供給される。メインアンプ2044には、ライトイネーブルWEの制御信号が供給され、書き込み値WDが入力されるとともに読み出し値Output Dataが出力される。

【0042】このDRAM204において、メモリマット2041内の任意のメモリセルを選択するためには、ロウデコーダ2042に入力されたロウアドレスRow

Addressにより行方向を指定し、かつカラムデコーダ2043に入力されたカラムアドレスColumn Addressにより列方向を指定して任意のメモリセルを選択する。そして、書き込み動作においては、メインアンプ2044に入力されるライトイネーブルWEの制御信号を活性化し、メインアンプ2044に書き込み値WDを入力して選択されたメモリセルにデータを書き込む。また、読み出し動作においては、選択されたメモリセルのデータをメインアンプ2044を介して読み出し値Output Dataとして出力する。

【0043】以上のように構成される半導体装置のテスト装置、さらにLSI1のBIST回路10、被テスト回路20の構成、被テスト回路20のDRAM204の構成において、通常動作時は、LSI1の外部に接続される図示しないプロセッサなどの制御により、被テスト回路20のセクタ205、論理回路201、アドレス制御回路203を介してアドレス／メモリ制御信号をDRAM204に供給する。そして、書き込みの際にはセクタ206、論理回路201を介して書き込み値WDのデータをDRAM204の各メモリセルに書き込み、また読み出しの際にはDRAM204の各メモリセルの値を論理回路202、セクタ207を介して読み出す。このようにして、通常動作におけるDRAM204に対するデータの書き込み／読み出しを行うことができる。

【0044】また、LSI1の内部のBIST回路20を使用したテスト時には、テスト2からLSI1に対して、外部クロックclk、BISTプログラム／タイミング、プログラムストロブ、BIST活性化信号を供給し、BIST回路10のプログラムレジスタ101、タイミングレジスタ102、BIST制御論理回路103、アドレスジェネレータ104、データジェネレータ105、制御信号ジェネレータ106を介してアドレス／メモリ制御信号、データ、制御信号などを発生し、制御信号により被テスト回路20のセクタ205～207、論理回路201、202を制御し、セクタ205、論理回路201、アドレス制御回路203を介してアドレス／メモリ制御信号をDRAM204に供給する。そして、書き込みの際にはセクタ206、論理回路201を介してデータをDRAM204の各メモリセルに書き込み、また読み出しの際にはDRAM204の各メモリセルの値を論理回路202、セクタ207を介して読み出し、BIST回路10の期待値比較回路107を介してパス／フェイル判定信号保持回路108にパス／フェイル判定信号を保持するとともに、フェイルビットマップデータ生成回路109を介してフェイルビットマップ情報を生成して外部のSRAM3に書き込む。そして、テスト2でSRAM3に書き込まれたテスト結果を読み出し、テスト結果を判定する。この場合には、論理回路201、202を非活性にしてスルー状態

でテストを行うことも可能である。詳細については以下において後述する。

【0045】次に、図4、図5により、本実施の形態の半導体装置のテスト装置において、LSIからSRAMにフェイルビットマップ情報をインターリーブ方式により取得する場合の構成の一例を説明する。図4はフェイルビットマップ情報をインターリーブ方式により取得する場合を説明するための構成図、図5はインターリーブ方式を詳細に説明するための構成図である。

【0046】図4に示すように、LSI1からSRAM3にフェイルビットマップ情報をインターリーブ方式により取得する場合には、前述したBIST回路10と被テスト回路20を含むLSI1、テスト2、SRAM3などの構成において、SRAM3がLSI1の動作周波数(640MHz)とテスト2の動作周波数(40MHz)の違いに対応して1個のLSI1に対して16個(640/40=16)のSRAM<0>~SRAM<15>が並列に接続され、さらにLSI1と複数のSRAM3との間にインターリーブ用LSI4が設けられ、また複数のSRAM3とテスト2との間に演算器5が設けられている。

【0047】インターリーブ用LSI4は、LSI1のBIST回路10から高速で出力されるフェイルビットマップ(FBM)情報をインターリーブ方式により16個のSRAM3に振り分けるためのLSIであり、BIST回路10からフェイルビットマップ情報とシステムクロックCLKが入力される。詳細には、図5に示すように、1個のSRAM3に対して、パス(Pass)/フェイル(Fail)判定信号の保持回路401、402とORゲート403、フェイルアドレス(Fail Address)の保持回路404とセクタ405、ライトイネーブルWE-N(WE-NはWEの反転信号)のセクタ406、出力イネーブルOE-N(OE-NはOEの反転信号)のセクタ407などが設けられている。クロックCLK0~CLK2はLSI1から出力されるシステムクロックCLKを使って生成され、クロックCLK0はSRAM1に供給され、またクロックCLK2に同期して保持回路401、404が動作し、クロックCLK1に同期して保持回路402が動作する。ライトイネーブルWE-N、出力イネーブルOE-NもシステムクロックCLKを使って生成される。また、保持回路401、402にはリセット信号が入力され、このリセット入力により初期化が可能となっている。さらに、ORゲート403は、ラッチ出力イネーブル(ラッチ出力E)により制御されるようになっている。

【0048】BIST回路10から取得されたフェイルビットマップ情報は、シリアル-パラレル変換され、パス/フェイル判定信号が前段の保持回路401で保持され、さらにORゲート403で、後段の保持回路402に保持

されているSRAM3からの読み出し値と論理和され、SRAM3に対してデータとして書き込まれる。保持回路401、402にリセット入力があった場合にはデータを初期化する。フェイルアドレスは、保持回路404で保持され、セクタ405を介してSRAM3に対してアドレスとして供給される。ライトイネーブルWE-Nはセクタ406を介し、出力イネーブルOE-Nはセクタ407を介して、それぞれSRAM3に対して供給される。また、セクタ405~407をテスト2から制御する場合には、アドレス、ライトイネーブルWE-N、出力イネーブルOE-Nをテスト2から供給することも可能となっている。このフェイルビットマップ情報を取得する動作は図11~図15において後述する。

【0049】演算器5は、各SRAM3に書き込まれたデータを入力とし、16個のSRAM3に取得されたフェイルビットマップ情報をパラレル-シリアル変換して取り込み、テスト2による読み出し時に、LSI1の被テスト回路20のテスト結果としてテスト2に対して出力するための回路である。

【0050】次に、図6により、LSIのテストにおいて、論理回路を活性/非活性状態に制御する場合の構成の一例を説明する。図6は論理回路を活性/非活性状態に制御する場合を説明するための構成図である。

【0051】LSI1のテストにおいて、被テスト回路20の論理回路201、202を活性/非活性状態に制御する場合は、論理回路201、202とDRAM204の動作状態、またはDRAM204のみの動作状態に切り替えてテストを行うことができる。たとえば、論理回路201、202を活性状態にした場合には、論理回路201、202とDRAM204が接続された通常動作状態においてLSI1の機能テストが行われる。一方、論理回路201、202を非活性状態にした場合には、論理回路201、202がスルーとなり、DRAM204にのみの直接的なDRAMテストが行われる。

【0052】次に、図7により、テストを実行する場合の概略手順の一例を説明する。図7はテストを実行する場合の概略手順を説明するためのフロー図である。

【0053】テストは、たとえば一例として、書き込み/読み出し、マーチング、チェッカー、ディスターブリフレッシュなどが行われる。なお、DRAM204のテストパターンについては、単純なセルスタック不良の場合、メモリセルに“1”と“0”を書き込み、そのデータを読み出すだけで不良検出ができるが、メモリセル間の干渉、デコーダの多重選択などの不良の場合、注目メモリセルと隣接メモリセルとのアクセスデータの組み合わせ、あるいは注目アドレスと隣接アドレスとのアクセスデータの組み合わせなどを考慮しなければ不良検出ができない。このように、不良検出率を向上するため、様々な不良モードに対応したテストパターンが用いられ

る。書き込み／読み出し、マーチング、チェッカー、ディスターブーフレッシュの他に、ギャロッピング、ピンポン、ウォーキング、バタフライなどもある。

【0054】(1) テストの開始に先だって、LSI 1の内部のテストプログラムを記憶するプログラムレジスタ101のリセットを行う(ステップS101)。

【0055】(2) 書き込み／読み出しのテストパターンでテストを実行する。この書き込み／読み出しでは、まずテスト2からプログラムを入力し、その後、書き込み／読み出しテストを実行する(ステップS102、S103)。この書き込み／読み出しテストでは、DRAM204を初期化した後、アドレスをインクリメントしながら“0”書き込み(write)／“0”読み出し(read)、さらに“1”書き込み／“1”読み出しを行い、続いてアドレスをデクリメントしながら“0”書き込み／“0”読み出し、さらに“1”書き込み／“1”読み出しを行い、終了となる。そして、書き込み／読み出しテストを終了した後、テスト結果を読み出してパス(Pass)／フェイル(Fail)判定を行う(ステップS104)。この判定の結果、パスの場合(ステップS105)は次のテストに進み、フェイルの場合は、フェイル(Fail)値、フェイルビットマップ(Fail Bit Map)を取得し、テスト終了となる(ステップS106～S108)。

【0056】(3) チェッカーのテストパターンでテストを実行する。このチェッカーでは、まずプログラムレジスタ101を初期化した後に、テスト2からプログラムを入力し、その後、DRAM204のチェッカーテストを実行する(ステップS109～S111)。そして、チェッカーテストを終了した後、テスト結果を読み出してパス／フェイル判定を行う(ステップS112)。この判定の結果、パスの場合(ステップS113)は次のテストに進み、フェイルの場合は、フェイル値、フェイルビットマップを取得し、テスト終了となる(ステップS114～S116)。

【0057】(4) ディスターブーフレッシュのテストパターンでテストを実行する。このディスターブーフレッシュでは、まずプログラムレジスタ101を初期化した後に、テスト2からプログラムを入力し、その後、DRAM204のディスターブーフレッシュテストを実行する(ステップS117～S119)。そして、ディスターブーフレッシュテストを終了した後、テスト結果を読み出してパス／フェイル判定を行う(ステップS120)。この判定の結果、パスの場合(ステップS121)はテスト終了(ステップS125)となり、フェイルの場合は、フェイル値、フェイルビットマップを取得し、テスト終了となる(ステップS122～S124)。

【0058】次に、図8により、テストパターンを生成する場合の一例を説明する。図8はテストパターンを生

成する場合を説明するためのタイミング図である。ここでは、前述したマーチングテストを実行するときのテストパターンを生成する場合を例に示す。

【0059】テストパターンは、前述したBIST回路10のプログラムレジスタ101で指定する書き込み値、期待値およびアドレスと、タイミングレジスタ102で指定するタイミングをマージして生成される。たとえば、書き込み値は16ビット、期待値は16ビット、アドレスは18ビットで指定され、0～256kの各アドレスにおけるDATA(0)～DATA(15)の書き込み値、DATA(0)～DATA(15)の期待値の論理に基づいて、ロウアドレスストローブRAS-N(RAS-NはRASの反転信号)、カラムアドレスストローブCAS-N(CAS-NはCASの反転信号)、ライトイネーブルWE-N(WE-NはWEの反転信号)などのタイミングが生成される。このタイミングにおいては、最初にアドレスインクリメントによる“0”書き込み／“0”読み出し、“1”書き込み／“1”読み出しを行い、続いてアドレスデクリメントによる“0”書き込み／“0”読み出し、“1”書き込み／“1”読み出しが行われる。

【0060】次に、図9、図10により、テストのパス／フェイルのみの判定を行う場合の手順の一例を説明する。図9はテストのパス／フェイルのみの判定を行う場合の手順を説明するためのフロー図、図10はそのタイミング図である。

【0061】(11) LSI 1の外部のテスト2からLSI 1に対して外部クロックclkを入力し、この外部クロックclkを通過してシステムクロックCLKを生成し、このシステムクロックCLKに同期させてテストを実行する(ステップS201)。さらに、テスト2からLSI 1に対してBIST活性化信号を入力し、このBIST活性化信号によってBIST動作を開始する(ステップS202)。そして、BISTプログラム／タイミング、プログラムストローブを入力し、各種のテストパターンを生成してテストを行う(ステップS203)。ここで、LSI 1の外部のテスト2は待機状態となり、LSI 1の内部の動作に移行する。

【0062】(12) LSI 1の内部のBIST回路10において、BISTプログラム／タイミングのプログラムレジスタ101、タイミングレジスタ102への入力完了しているため、自動的にテストプログラムの実行を開始する(ステップS204)。ここでは、BIST制御論理回路103でプログラムが実行される。さらに、制御信号ジェネレータ106から被テスト回路20に、動作切り替えの制御信号を入力して、被テスト回路20を通常動作の入出力からBIST回路10を使用した入出力に切り替える(ステップS205)。そして、論理回路201、202の活性／非活性の制御信号を入力して、論理回路201、202を活性状態にした通常



動作状態における機能テストや、非活性状態にしたDRAM204のみのDRAMテストを行う(ステップS206)。

【0063】(13) アドレスジェネレータ104からロウアドレスRow Address、カラムアドレスColumn Addressのアドレス、ロウアドレスストローブRAS、カラムアドレスストローブCAS、ライトイネーブルWEのメモリ制御信号、データジェネレータ105から書き込み値WDをそれぞれ発生し、被テスト回路20のDRAM204にデータを書き込む(ステップS207)。さらに、アドレス/メモリ制御信号を発生し、DRAM204のデータを読み出し値Output Dataとして読み出す(ステップS208)。そして、期待値比較回路107において、読み出し値を書き込み値の期待値と比較する(ステップS209)。この比較の結果、一致したときのパス(Pass)、一致しないときのフェイル(Fail)のパス/フェイル判定信号を、パス/フェイル判定信号保持回路108に保持する(ステップS210)。このパス/フェイル判定信号は、一度フェイルしたときにロックされるモードを使用する。これを、アドレスをインクリメントまたはデクリメントしながら繰り返す。そして、全てのアドレスについて実行したらテストプログラムが終了する(ステップS211)。ここで、LSI1の外部の動作に移行する。

【0064】(14) テスタ2で、LSI1のパス/フェイル判定信号保持回路108に保持されたパス/フェイル判定信号を読み出す(ステップS212)。これにより、パス/フェイルのみの判定を行う場合のテストが終了する(ステップS213)。

【0065】次に、図11、図12により、テストのフェイルビットマップ情報を出力する場合の手順の一例を説明する。図11はテストのフェイルビットマップ情報を出力する場合の手順を説明するためのフロー図、図12はそのタイミング図である。

【0066】テストのフェイルビットマップ情報を出力する場合の手順は、前述したテストのパス/フェイルのみの判定を行う場合の手順と、ステップS301～S309については同じなので説明を省略し、ステップ310からの手順を説明する。

【0067】(21) 被テスト回路20のDRAM204からの読み出し値Output Data[0-15]と、DRAM204に書き込んだ書き込み値WD[0-15]の期待値との比較結果から、フェイルビットマップデータ生成回路109においてフェイルビットマップ(Fail Bit Map)情報を生成し、逐次、外部のSRAM3にインターリーブ方式により出力する(ステップS310)。このとき、SRAM3では、逐次、フェイルビットマップ情報を読み出して保持する(ステップS311)。このフェイルビットマップ情報

は、パス(Pass)/フェイル(Fail)判定信号、ロウアドレスRow Address、カラムアドレスColumn Address、Data[0]～Data[13] Pass/Fail判定信号を含む冗長救済情報である。

【0068】(22) LSI1の内部において、テストプログラムが終了すると(ステップS312)、LSI1の外部の動作に移行する。そして、テスト2で、SRAM3に保持されたフェイルビットマップ情報を読み出す(ステップS313)。これにより、フェイルビットマップ情報を出力する場合のテストが終了する(ステップS314)。

【0069】次に、図13、図14、図15により、テストでフェイルビットマップ情報を取得する場合の手順の一例を説明する。図13はテストでフェイルビットマップ情報を取得する場合の手順を説明するためのフロー図、図14、図15はそのタイミング図である。

【0070】テスト2でフェイルビットマップ情報を取得する場合は、SRAM3への書き込み、SRAM3からの読み出し、SRAM3の初期化を行う。

【0071】(31) SRAM3への書き込み方法では、SRAM3へのアドレス、ライトイネーブルWE-N、出力イネーブルOE-Nの入力をBIST回路10の側に切り替える(ステップS401)。そして、図14のタイミングに従い、16個のSRAM3に対してインターリーブ方式により書き込みを行う(ステップS402)。すなわち、各SRAM<0>～<15>にアドレス<0>～<15>を入力し、最初に読み出しを行い、次に同じアドレス<0>～<15>に読み出し値とData[0]～[15]パス(Pass)/フェイル(Fail)判定信号の論理和を書き込む。このとき、クロックCLK0～CLK2に同期させ、ラッチ出力E(イネーブル)、ライトイネーブルWE-N<0>～<15>、出力イネーブルOE-N<0>～<15>を印加して制御する。

【0072】(32) SRAM3からの読み出し方法では、SRAM3へのアドレス、ライトイネーブルWE-N、出力イネーブルOE-Nの入力をテスト3の側に切り替える(ステップS403)。そして、図15のタイミングに従い、16個のSRAM3の読み出しを行う(ステップS404)。すなわち、各SRAM<0>～<15>にアドレスを入力し、データを読み出す。このとき、クロックCLK0に同期させ、ライトイネーブルWE-N、出力イネーブルOE-Nを印加して制御する。

【0073】(33) SRAM3の初期化の方法では、SRAM3へのアドレス、ライトイネーブルWE-N、出力イネーブルOE-Nの入力をテスト3の側に切り替える(ステップS405)。そして、図15のタイミングに従い、16個のSRAM3に対してインターリーブ

方式により、各SRAM3に“0”の書き込みを行う（ステップS406）。すなわち、各SRAM〈0〉〜〈15〉にアドレスを入力し、リセット入力に“0”を書き込む。このとき、クロックCLK0に同期させ、ライトイネーブルWE-N、出力イネーブルOE-Nを印加して制御する。

【0074】以上のようにして、SRAM3への書き込み、SRAM3からの読み出し、SRAM3の初期化を行うことで、テスト2でフェイルビットマップ情報を取得することができる。

【0075】従って、本実施の形態の半導体装置、この半導体装置のテスト装置、さらにテスト方法によれば、LSI1の内部のBIST回路10をプログラムレジスタ101、タイミングレジスタ102、BIST制御論理回路103、アドレスジェネレータ104、データジェネレータ105、制御信号ジェネレータ106、期待値比較回路107、バス/フェイル判定信号保持回路108、フェイルビットマップデータ生成回路109、クロックジェネレータ110などから構成し、さらにLSI1とテスト2の間にSRAM3を接続した構成とすることで、以下のような効果を得ることができる。

【0076】（1）バス/フェイル判定信号を保持するためのバス/フェイル判定信号保持回路108、フェイルビットマップ情報を高速で出力するためのフェイルビットマップデータ生成回路109をBIST回路10の内部に設けることにより、LSI1の外部の高速なSRAM3に、高速で被テスト回路20のDRAM204のフェイルビットマップ情報を出力し、テスト終了後に低速なテスト2でSRAM3に蓄えておいたフェイルビットマップ情報を低速で読み出すことができる。

【0077】（2）LSI1とテスト2の間に高速なSRAM3を設けることにより、テスト実行中に、SRAM3の動作周波数の数倍の周波数で出力されるフェイルビットマップの冗長救済情報を高速でSRAM3にインターリーブ方式により書き込むことができるので、テスト終了後に低速でテスト2に読み出すことが可能となる。

【0078】（3）前記（1）、（2）により、フェイルビットマップの冗長救済情報の情報量、外部クロックclkを逡倍したテスト2の限界周波数以上の周波数でテストするBIST回路10、いわゆる高速BISTのテスト周波数の制限がなくなるため、メモリテストに高速BISTを用いたときの冗長回路数、テスト周波数を容易に大きくすることができるため、メモリの歩留まり、性能の向上が見込めるようになる。

【0079】（4）BIST回路10の内部にメモリ制御信号のタイミングを設定するタイミングレジスタ102を設けることにより、外部からタイミングレジスタ102に値を設定し、メモリテスト時にメモリ制御信号のタイミングを変えて自由に設定することができるので、

特にマージン不良などの不良検出率を向上することが可能となる。

【0080】（5）前記（4）により、マージン不良検出率が飛躍的に向上するため、BIST回路10を使用したDRAM204の不良スクリーニングを可能とすることができる。すなわち、メモリ制御信号のタイミングが固定された従来のBIST回路では、DRAMなどのマージン不良が多い回路の十分なスクリーニングは実質上不可能であったが、本実施の形態のようにタイミングレジスタ102を設けることでスクリーニングが良好に可能となる。

【0081】（6）BIST回路10の内部に被テスト回路20の論理回路201、202の活性/非活性を制御するための制御信号ジェネレータ106を設けることにより、論理回路201、202を活性状態にしたときは論理回路201、202とDRAM204が接続された通常動作状態をテストすることができ、また論理回路201、202を非活性状態にしたときはDRAM204のみを直接テストすることができる。

【0082】以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【0083】たとえば、前記実施の形態においては、内部にDRAMを有するLSIのテストを行う場合について説明したが、本発明は、特に汎用DRAM、論理混載DRAMに効果的であり、さらにSRAMなどの各種メモリ回路を有する半導体装置などにも広く応用することができる。

【0084】

【発明の効果】本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0085】（1）バス/フェイルの情報を低速で出力するための回路の他に、フェイルアドレスの冗長救済情報を高速で出力するための回路を設けることで、LSIの外部の高速なSRAMに高速で冗長救済情報を出力することができるので、テスト終了後に低速なテスト2でSRAMに蓄えておいた冗長救済情報を低速で読み出すことが可能となる。

【0086】（2）LSIとテストの間に高速なSRAMを設けることで、テスト実行中に、SRAMの動作周波数の数倍の周波数で出力される冗長救済情報を高速でSRAMにインターリーブ方式により書き込み、この冗長救済情報をテスト終了後に低速でテスト2に読み出すことができるので、冗長救済情報の情報量、外部クロックを逡倍したテストの限界周波数以上の周波数でテストする、高速BISTのテスト周波数の制限がなくなるため、メモリテストに高速BISTを用いたときの冗長回

10

20

30

40

50



路数、テスト周波数を容易に大きくすることができるため、メモリの歩留まり、性能の向上を実現することが可能となる。

【0087】(3) BIST回路内にメモリ制御信号のタイミングを設定するレジスタを設けることで、メモリテスト時にメモリ制御信号のタイミングを自由に設定することができるので、特にマージン不良などの不良検出率が向上し、この結果、BIST回路を使用したDRAMの不良スクリーニングが可能となる。

【0088】(4) BIST回路内に論理回路の活性／非活性を制御する回路を設けることで、論理回路の活性／非活性を切り替えることができるので、論理回路を活性状態にしたときは論理回路とメモリ回路が接続された通常動作状態をテストすることができ、また論理回路を非活性状態にしたときはメモリ回路のみを直接テストすることが可能となる。

#### 【図面の簡単な説明】

【図1】本発明の一実施の形態の半導体装置のテスト装置を示す概略構成図である。

【図2】本発明の一実施の形態において、LSIを構成するBIST回路、被テスト回路を詳細に示す構成図である。

【図3】本発明の一実施の形態において、被テスト回路を構成するDRAMを詳細に示す構成図である。

【図4】本発明の一実施の形態において、LSIからSRAMにフェイルビットマップ情報をインターリーブ方式により取得する場合を説明するための構成図である。

【図5】本発明の一実施の形態において、インターリーブ方式を詳細に説明するための構成図である。

【図6】本発明の一実施の形態において、論理回路を活性／非活性状態に制御する場合を説明するための構成図である。

【図7】本発明の一実施の形態において、テストを実行する場合の概略手順を説明するためのフロー図である。

【図8】本発明の一実施の形態において、テストパターンを生成する場合を説明するためのタイミング図である。

【図9】本発明の一実施の形態において、テストのバス／フェイルのみの判定を行う場合の手順を説明するためのフロー図である。

【図10】本発明の一実施の形態において、テストのバス／フェイルのみの判定を行う場合の手順を説明するためのタイミング図である。

【図11】本発明の一実施の形態において、テストのフェイルビットマップ情報を出力する場合の手順を説明す

るためのフロー図である。

【図12】本発明の一実施の形態において、テストのフェイルビットマップ情報を出力する場合の手順を説明するためのそのタイミング図である。

【図13】本発明の一実施の形態において、テストでフェイルビットマップ情報を取得する場合の手順を説明するためのフロー図である。

【図14】本発明の一実施の形態において、テストでフェイルビットマップ情報を取得する場合の手順（SRAMへの書き込み）を説明するためのタイミング図である。

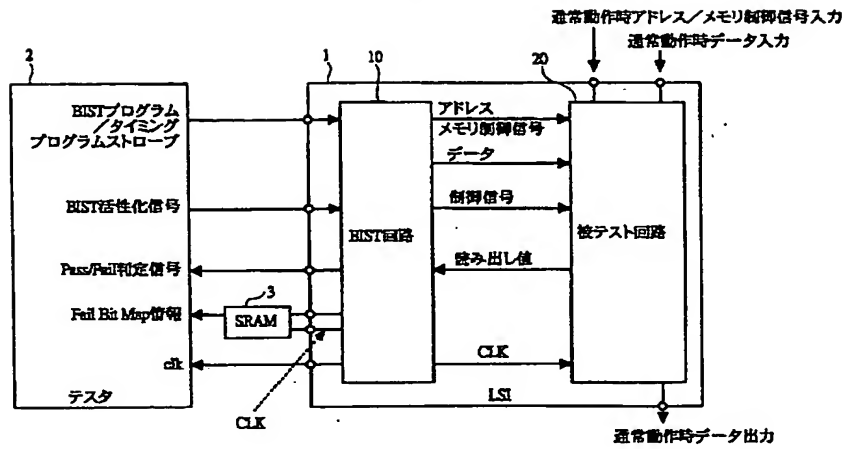
【図15】本発明の一実施の形態において、テストでフェイルビットマップ情報を取得する場合の手順（SRAMからの読み出し、SRAMの初期化）を説明するためのタイミング図である。

#### 【符号の説明】

- 1 LSI
- 10 BIST回路
- 101 プログラムレジスタ
- 102 タイミングレジスタ
- 103 BIST制御論理回路
- 104 アドレスジェネレータ
- 105 データジェネレータ
- 106 制御信号ジェネレータ
- 107 期待値比較回路
- 108 バス／フェイル判定信号保持回路
- 109 フェイルビットマップデータ生成回路
- 110 クロックジェネレータ
- 111, 112 セレクタ
- 20 被テスト回路
- 201, 202 論理回路
- 203 アドレス制御回路
- 204 DRAM
- 2041 メモリマップ
- 2042 ロウデコーダ
- 2043 カラムデコーダ
- 2044 メインアンブ
- 205～207 セレクタ
- 2 テスタ
- 3 SRAM
- 4 インターリーブ用LSI
- 401, 402, 404 保持回路
- 403 ORゲート
- 405～407 セレクタ
- 5 演算器

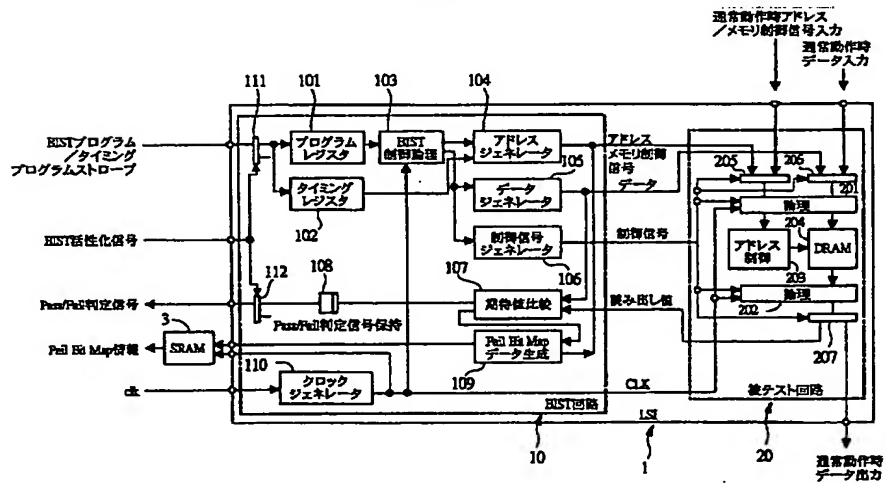
【図1】

図 1



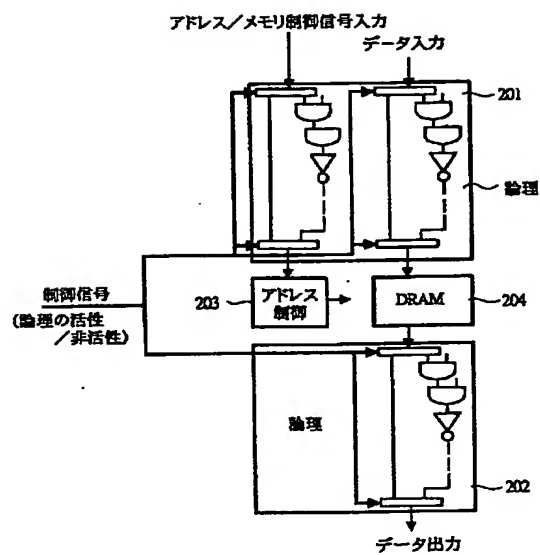
【図2】

図 2

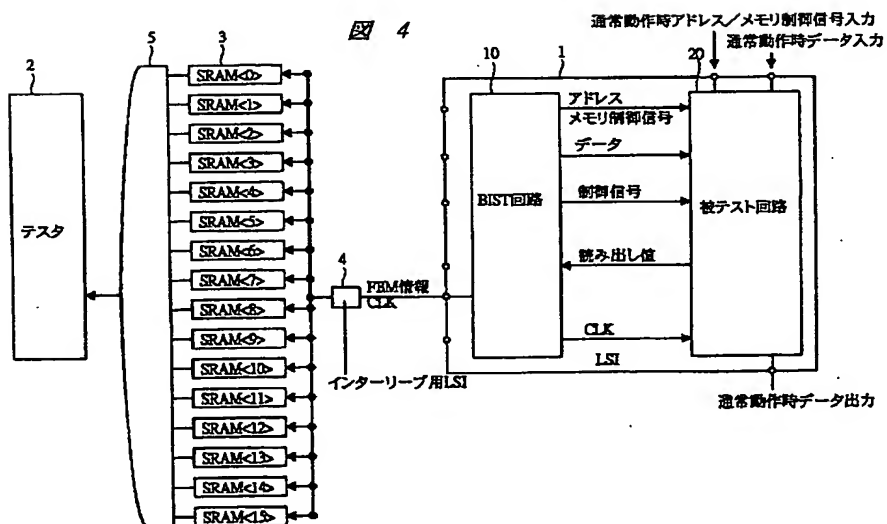


【図6】

6



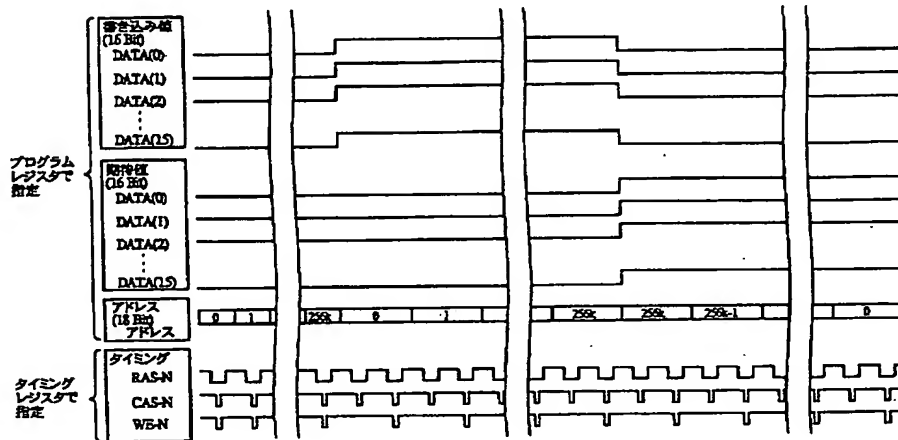
【図4】





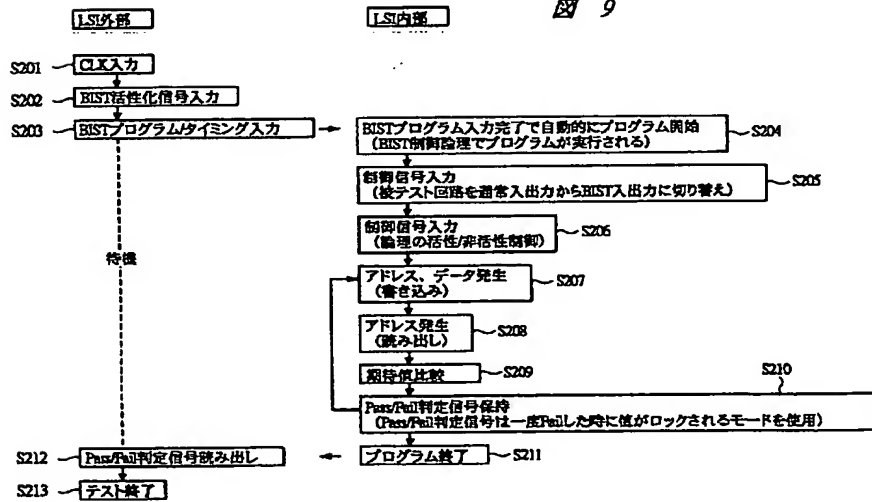
【図8】

図 8

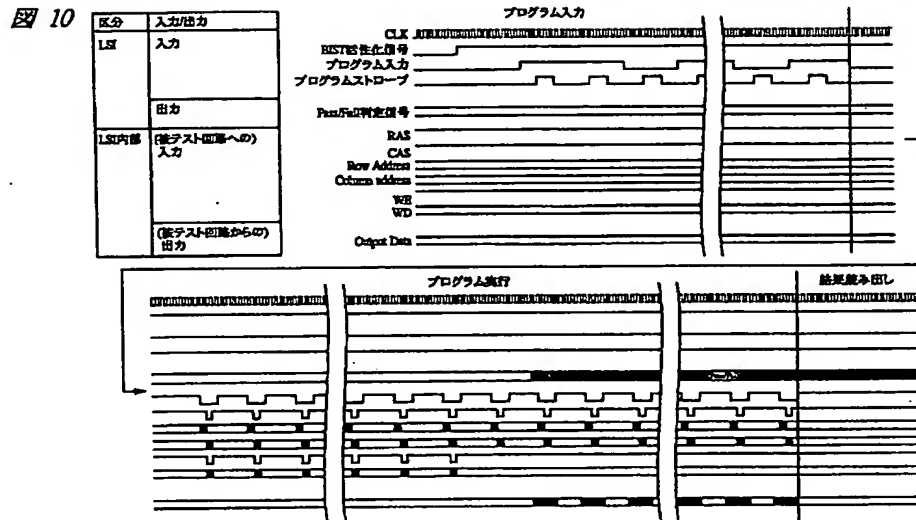


【図9】

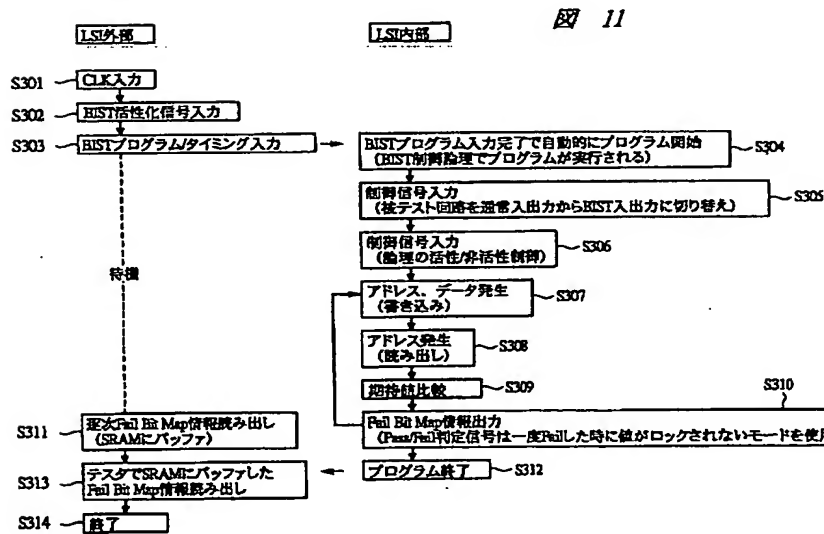
図 9



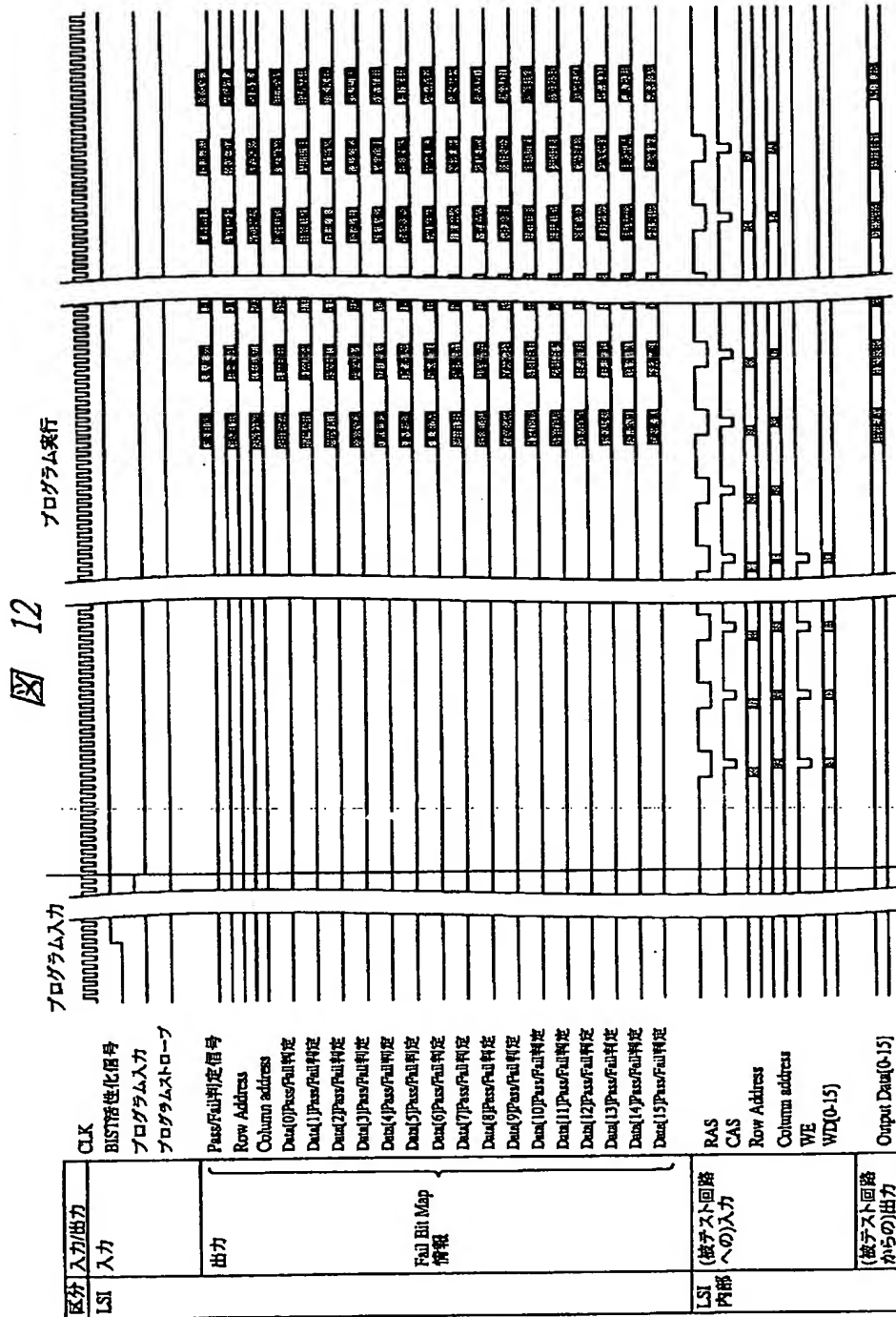
【図10】



【図11】

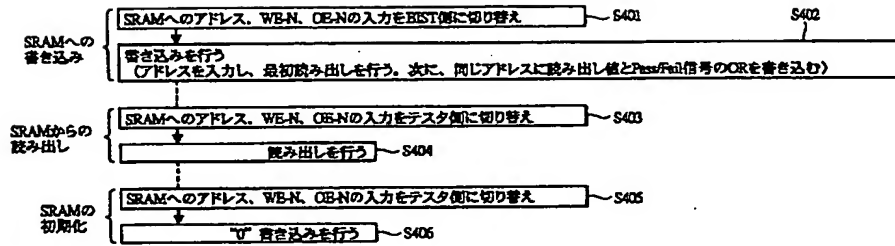


[図12]



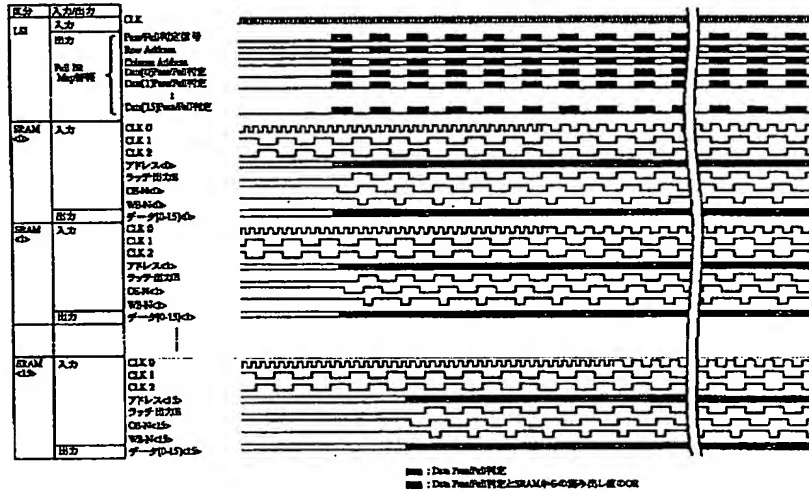
【図13】

図 13



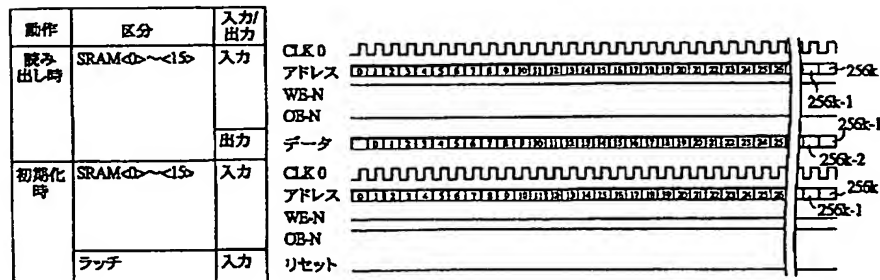
【図14】

図 14



【図15】

図 15





フロントページの続き

(51)Int.Cl.	識別記号	F I G O I R 31/28	ターム(参考) Q
(72)発明者 長谷川 雅俊 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内		(72)発明者 横山 勇治 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内	
(72)発明者 小林 徹 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内		(72)発明者 宮岡 修一 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内	
(72)発明者 中山 道明 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内		(72)発明者 澤本 英雄 神奈川県秦野市堀山下1番地 株式会社日 立製作所エンタープライズサーバ事業部内	
(72)発明者 梶原 秀樹 東京都青梅市新町六丁目16番地の3 株式 会社日立製作所デバイス開発センタ内		(72)発明者 西山 隆 神奈川県秦野市堀山下1番地 株式会社日 立製作所エンタープライズサーバ事業部内	
(72)発明者 北村 暢章 東京都小平市上水本町5丁目22番1号 株 式会社日立超エル・エス・アイ・システム ズ内		(72)発明者 久米 正二 神奈川県秦野市堀山下1番地 株式会社日 立製作所エンタープライズサーバ事業部内	
		F ターム(参考) 2G132 AA08 AB01 AB03 AC03 AG01 AK29 5L106 AA01 DD24 EE02 GG03 GG07	